

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月19日

出 願 番 号

Application Number:

特願2003-076205

[ST.10/C]:

[JP2003-076205]

出 願 人

Applicant(s):

沖電気工業株式会社

2003年 6月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3049760

【書類名】 特許願

【整理番号】 OH003817

【あて先】 特許庁長官殿

【国際特許分類】 H03F 3/45
H03K 19/0175

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 御手洗 睦

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100085419

【弁理士】

【氏名又は名称】 大垣 孝

【手数料の表示】

【予納台帳番号】 012715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 差動入力回路

【特許請求の範囲】

【請求項1】 第1電源ラインによって供給される第1電源電位と第2電源ラインによって供給される第2電源電位（第1電源電位<第2電源電位）との間で振動する差動入力信号の一方を入力して、該差動入力信号の一方と第1基準電位との高い方に依存する第1制御信号を生成し、且つ、前記差動入力信号の一方と第2基準電位との低い方に依存する第2制御信号を生成する第1クランプ回路と、

前記差動入力信号の他方を入力して、該差動入力信号の他方と前記第1基準電位との高い方に依存する第3制御信号を生成し、且つ、前記差動入力信号の他方と前記第2基準電位との低い方に依存する第4制御信号を生成する第2クランプ回路と、

前記第2制御信号を制御端子から入力し且つ第1主電極が第1定電流源を介して前記第1電源ラインに接続された第1入力トランジスタと前記第4制御信号を制御端子から入力し且つ第1主電極が前記第1定電流源を介して前記第1電源ラインに接続された第2入力トランジスタとを有する第1入力部と、前記第1制御信号を制御端子から入力し且つ第1主電極が第2定電流源を介して前記第2電源ラインに接続された第3入力トランジスタと前記第3制御信号を制御端子から入力し且つ第1主電極が前記第2定電流源を介して前記第2電源ラインに接続された第4入力トランジスタとを有する第2入力部と、第3電源ラインによって供給される第3電源電位（第1電源電位<第3電源電位<第2電源電位）を制御端子から入力し且つ差動出力信号の一方を第1主電極から出力する第1出力トランジスタと、前記第3電源電位を制御端子から入力し且つ差動出力信号の他方を第1主電極から出力する第2出力トランジスタと、前記第2電源ラインから取り込んだ電流を前記第1出力トランジスタおよび前記第2入力トランジスタの第2主電極に供給する第3定電流源と、前記第2電源ラインから取り込んだ電流を前記第2出力トランジスタおよび前記第1入力トランジスタの第2主電極に供給する第4定電流源と、前記第4入力トランジスタおよび前記第1出力トランジスタの第

2 主電極から取り込んだ電流を前記第 1 電源ラインに放出する第 5 定電流源と、
前記第 3 入力トランジスタおよび前記第 2 出力トランジスタの第 2 主電極から取り込んだ電流を前記第 1 電源ラインに放出する第 6 定電流源とを有する折返しカスコード増幅回路と、

制御電極・第 1 主電極間電圧および制御電極・第 2 主電極間電圧が前記第 1、第 3 電源電位の電位差よりも小さくなるような制御電位を、前記第 1 ～第 6 定電流源を構成するトランジスタに供給するバイアス回路と、

を備えることを特徴とする差動入力回路。

【請求項 2】 前記折返しカスコード増幅回路が、

前記第 1 入力トランジスタの第 1 主電極・第 2 主電極間電圧が前記第 1、第 3 電源電位の電位差よりも小さくなるように、該第 1 入力トランジスタと前記第 4 定電流源との間に設けられた 1 または複数の第 1 保護トランジスタと、

前記第 2 入力トランジスタの第 1 主電極・第 2 主電極間電圧が前記第 1、第 3 電源電位の電位差よりも小さくなるように、該第 2 入力トランジスタと前記第 3 定電流源との間に設けられた 1 または複数の第 2 保護トランジスタと、

前記第 3 入力トランジスタの第 1 主電極・第 2 主電極間電圧が前記第 1、第 3 電源電位の電位差よりも小さくなるように、該第 3 入力トランジスタと前記第 6 定電流源との間に設けられた 1 または複数の第 3 保護トランジスタと、

前記第 4 入力トランジスタの第 1 主電極・第 2 主電極間電圧が前記第 1、第 3 電源電位の電位差よりも小さくなるように、該第 4 入力トランジスタと前記第 5 定電流源との間に設けられた 1 または複数の第 4 保護トランジスタと、

前記第 1 出力トランジスタの第 1 主電極・第 2 主電極間電圧が前記第 1、第 3 電源電位の電位差よりも小さくなるように、前記第 3、第 5 定電流源と前記第 1 出力トランジスタとの間に設けられた第 5、第 6 保護トランジスタと、

前記第 2 出力トランジスタの第 1 主電極・第 2 主電極間電圧が前記第 1、第 3 電源電位の電位差よりも小さくなるように、前記第 4、第 6 定電流源と前記第 1 出力トランジスタとの間に設けられた第 7、第 8 保護トランジスタと、

を備えることを特徴とする請求項 1 に記載の差動入力回路。

【請求項 3】 前記バイアス回路が、制御電極・第 1 主電極間電圧および制

御電極・第2主電極間電圧が前記第1、第3電源電位の電位差よりも小さくなるような制御電位を、前記第1～第8保護トランジスタの一部または全部に供給することを特徴とする請求項2に記載の差動入力回路。

【請求項4】 前記第2基準電位が前記第1基準電位よりも高いことを特徴とする請求項1に記載の差動入力回路。

【請求項5】 前記第1～第4保護トランジスタが、それぞれ、ダイオード接続されたトランジスタを含むことを特徴とする請求項2に記載の差動入力回路。

【請求項6】 前記第1クランプ回路、前記第2クランプ回路、前記折返しカスコード増幅回路および前記バイアス回路が完全空乏型SOI基板に形成されたことを特徴とする請求項1～5のいずれかに記載の差動入力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、折返しカスコード増幅器を用いた差動入力回路に関する。この発明に係る差動入力回路は、例えばUSB(Universal Serial Bus)インタフェースに使用される。

【0002】

【従来の技術】

MOSトランジスタの微細化が進むにつれて、ゲート酸化膜の耐圧が低下している。このため、集積度の高い集積回路ほど、低電圧の電源が使用される。一般に、0.35 μ m程度の微細プロセスで作製された集積回路には、3.3ボルト程度の電源電圧が使用される。また、0.18 μ m程度の微細プロセスで作製された集積回路には、1.8ボルト程度の電源電圧が使用される。電源電圧が3.3ボルトの場合、この集積回路の信号レベルは、0ボルトと3.3ボルトとの間で振幅する。同様に、電源電圧が1.8ボルトの場合、この集積回路の信号レベルは、0ボルトと1.8ボルトとの間で振幅する。したがって、集積度の異なる集積回路を相互接続する際には、信号レベルを変換するインタフェース回路が必要になる。

【0003】

通常、信号の最大電位を高電位から低電位に変換するインタフェース回路は、高い方の電位と一致する電圧を電源電圧として使用する。例えば、最大信号電位を3.3ボルトから1.8ボルトに変換するインタフェース回路は、3.3ボルトの電源を使用する必要がある。したがって、かかるインタフェース回路では、ゲート酸化膜の耐圧が3.3ボルトのトランジスタを使用する必要があった。

【0004】

また、従来より、差動増幅回路として、折返しカスコード増幅回路を用いた回路が知られている。折返しカスコード増幅回路としては、例えば、下記特許文献1によって開示された回路が知られている。この折返しカスコード増幅回路によれば、波形の歪みが小さく且つ高周波動作の差動増幅回路を提供することができる。

【0005】

【特許文献1】

特許第2597690号公報（第2～第5頁、第1図）

【0006】

【発明が解決しようとする課題】

上述のように、従来の技術では、集積回路チップの集積度を高くするためには低耐圧トランジスタを使用する必要があり、さらに、この集積回路チップを高電圧電源が使用されるチップに接続するためには高耐圧トランジスタで差動入力回路を構成する必要があった。すなわち、従来は、集積度の高い集積回路チップを作製する場合でも、差動入力回路だけは高耐圧のトランジスタで構成する必要があった。したがって、従来のこの種の差動入力回路を有する集積回路は、ゲート酸化膜の膜厚が二種類になり、このため製造プロセスが複雑になるという欠点を有していた。それゆえ、製造プロセスを簡単化するためには、低耐圧トランジスタのみで構成され且つ高電源電圧で動作する差動入力回路が必要になる。

【0007】

上記特許文献1で開示された折返しカスコード増幅器は、低耐圧トランジスタを高電源電圧で動作させることについて、考慮されていない。ゲート酸化膜に推

奨電圧範囲よりも高い電圧が印加される場合、トランジスタの経年変化が加速され、集積回路の信頼性が低下するおそれがある。

【0008】

以上のような理由から、低耐圧トランジスタのみで構成され、高電源電圧を使用しても信頼性が損なわれない差動入力回路が囑望されていた。

【0009】

【課題を解決するための手段】

(1) この発明に係る差動入力回路は、第1電源ラインによって供給される第1電源電位と第2電源ラインによって供給される第2電源電位（第1電源電位<第2電源電位）との間で振動する差動入力信号の一方を入力して、該差動入力信号の一方と第1基準電位との高い方に依存する第1制御信号を生成し、且つ、前記差動入力信号の一方と第2基準電位との低い方に依存する第2制御信号を生成する第1クランプ回路と、前記差動入力信号の他方を入力して、該差動入力信号の他方と前記第1基準電位との高い方に依存する第3制御信号を生成し、且つ、前記差動入力信号の他方と前記第2基準電位との低い方に依存する第4制御信号を生成する第2クランプ回路と、第3電源ラインによって供給される第3電源電位（第1電源電位<第3電源電位<第2電源電位）を制御端子から入力し且つ差動出力信号の一方を第1主電極から出力する第1出力トランジスタと、前記第3電源電位を制御端子から入力し且つ差動出力信号の他方を第1主電極から出力する第2出力トランジスタと、前記第2制御信号を制御端子から入力し且つ第1主電極が第1定電流源を介して前記第1電源ラインに接続された第1入力トランジスタと、前記第4制御信号を制御端子から入力し且つ第1主電極が前記第1定電流源を介して前記第1電源ラインに接続された第2入力トランジスタとを有する第1入力部と、前記第1制御信号を制御端子から入力し且つ第1主電極が第2定電流源を介して前記第2電源ラインに接続された第3入力トランジスタと、前記第3制御信号を制御端子から入力し且つ第1主電極が前記第2定電流源を介して前記第2電源ラインに接続された第4入力トランジスタとを有する第2入力部と、前記第2電源ラインから取り込んだ電流を前記第1出力トランジスタおよび前記第2入力トランジスタの第2主電極に供給する第3定電流源と、前記第2電源

ラインから取り込んだ電流を前記第 2 出力トランジスタおよび前記第 1 入力トランジスタの第 2 主電極に供給する第 4 定電流源と、前記第 4 入力トランジスタおよび前記第 1 出力トランジスタの第 2 主電極から取り込んだ電流を前記第 1 電源ラインに放出する第 5 定電流源と、前記第 3 入力トランジスタおよび前記第 2 出力トランジスタの第 2 主電極から取り込んだ電流を前記第 1 電源ラインに放出する第 6 定電流源とを有する折返しカスコード増幅回路と、制御電極・第 1 主電極間電圧および制御電極・第 2 主電極間電圧が前記第 1、第 3 電源電位の電位差よりも小さくなるような制御電位を、前記第 1 ～ 第 6 定電流源を構成するトランジスタに供給するバイアス回路とを備える。

【 0 0 1 0 】

第 1、第 2 クランプ回路を用いることにより、第 1 ～ 第 4 入力トランジスタの制御電極・第 1 主電極間電圧および制御電極・第 2 主電極間電圧を前記第 1、第 3 電源電位の電位差よりも小さくすることができる。加えて、バイアス回路を用いることにより、第 1 ～ 第 6 定電流源を構成するトランジスタの制御電極・第 1 主電極間電圧および制御電極・第 2 主電極間電圧を前記第 1、第 3 電源電位の電位差よりも小さくすることができる。

【 0 0 1 1 】

(2) この発明では、前記第 1 入力トランジスタの第 1 主電極・第 2 主電極間電圧が前記第 1、第 3 電源電位の電位差よりも小さくなるように、該第 1 入力トランジスタと前記第 4 定電流源との間に設けられた 1 または複数の第 1 保護トランジスタと、前記第 2 入力トランジスタの第 1 主電極・第 2 主電極間電圧が前記第 1、第 3 電源電位の電位差よりも小さくなるように、該第 2 入力トランジスタと前記第 3 定電流源との間に設けられた 1 または複数の第 2 保護トランジスタと、前記第 3 入力トランジスタの第 1 主電極・第 2 主電極間電圧が前記第 1、第 3 電源電位の電位差よりも小さくなるように、該第 3 入力トランジスタと前記第 6 定電流源との間に設けられた 1 または複数の第 3 保護トランジスタと、前記第 4 入力トランジスタの第 1 主電極・第 2 主電極間電圧が前記第 1、第 3 電源電位の電位差よりも小さくなるように、該第 4 入力トランジスタと前記第 5 定電流源との間に設けられた 1 または複数の第 4 保護トランジスタと、前記第 1 出力トラン

ジスタの第1主電極・第2主電極間電圧が前記第1、第3電源電位の電位差よりも小さくなるように、前記第3、第5定電流源と前記第1出力トランジスタとの間に設けられた第5、第6保護トランジスタと、前記第2出力トランジスタの第1主電極・第2主電極間電圧が前記第1、第3電源電位の電位差よりも小さくなるように、前記第4、第6定電流源と前記第1出力トランジスタとの間に設けられた第7、第8保護トランジスタとを備えることが望ましい。

【0012】

これにより、折返しカスコード増幅回路を構成する各トランジスタの第1主電極・第2主電極間電圧を、低く抑えることができる。

【0013】

(3) 上記(2)の差動入力回路においては、前記バイアス回路が、制御電極・第1主電極間電圧および制御電極・第2主電極間電圧が前記第1、第3電源電位の電位差よりも小さくなるような制御電位を、前記第1～第8保護トランジスタの一部または全部に供給することを特徴とすることが望ましい。

【0014】

これにより、第1～第8保護トランジスタの信頼性を高めることができる。

【0015】

(4) この発明においては、第2基準電位が第1基準電位よりも高いことが望ましい。

【0016】

これにより、第1、第2制御信号が同時切り換わることおよび第3、第4制御信号が同時に切り換わることを防止できるので、折返しカスコード増幅回路の動作を安定化することができる。

【0017】

(5) 上記(2)の差動入力回路においては、第1～第4保護トランジスタが、それぞれ、ダイオード接続されたトランジスタを含むことが望ましい。

【0018】

このような構成によっても、折返しカスコード増幅回路を構成する各トランジスタの第1主電極・第2主電極間電圧を、低く抑えることが可能である。

【 0 0 1 9 】

(6) この発明においては、第 1 クランプ回路、第 2 クランプ回路、折返しカスコード増幅回路およびバイアス回路が完全空乏型 S O I 基板に形成されることが望ましい。

【 0 0 2 0 】

完全空乏型 S O I 基板を用いることにより、拡散領域・基板間の耐圧を考慮する必要がなくなり、差動入力回路の高速動作が可能になり、且つ、基板の伊豆やセル号リーク電流の低減を図ることができる。

【 0 0 2 1 】

【発明の実施の形態】

以下、この発明の実施の形態について、図面を用いて説明する。なお、図中、各構成成分の大きさ、形状および配置関係は、この発明が理解できる程度に概略的に示してあるにすぎず、また、以下に説明する数値的条件は単なる例示にすぎない。

【 0 0 2 2 】

第 1 の実施の形態

以下、この発明の第 1 の実施の形態に係る差動入力回路について、図 1 ～図 4 を用いて説明する。

【 0 0 2 3 】

図 1 は、この実施の形態に係る差動入力回路の全体構成を概略的に示すブロック図である。

【 0 0 2 4 】

図 1 に示したように、差動入力回路 1 0 0 は、第 1 クランプ回路 1 1 0 と、第 2 クランプ回路 1 2 0 と、バイアス回路 1 3 0 と、折返しカスコード増幅回路 1 4 0 とを備えている。

【 0 0 2 5 】

第 1 クランプ回路 1 1 0 は、外部から信号 IN+ を入力するとともに、バイアス回路 1 3 0 からバイアス電位 BIAS2 (この発明の第 1 基準電位) およびバイアス電位 BIAS3 (この発明の第 2 基準電位) を入力する。信号 IN+ は、グランドレベ

ル（例えば零ボルト）と高電圧VDD（例えば3.3ボルト）との間で、振幅する。クランプ回路110における入力信号と出力信号との関係を、表1に示す。クランプ回路110は、電圧IN⁺、BIAS2のうち高い方にほぼ一致する電圧を、出力信号INH⁺として出力する。さらに、クランプ回路110は、IN⁺、BIAS3のうち低い方にほぼ一致する電圧を、出力信号INL⁺として出力する。信号INH⁺、INL⁺は、折返しカスコード増幅回路140に送られる。

【0026】

【表1】

入 力	出 力
IN ⁺ > BIAS2	INH ⁺ \simeq IN ⁺
IN ⁺ \leq BIAS2	INH ⁺ \simeq BIAS2
IN ⁺ < BIAS3	INL ⁺ \simeq IN ⁺
IN ⁺ \geq BIAS3	INL ⁺ \simeq BIAS3

【0027】

第2クランプ回路120は、外部から信号IN⁻を入力するとともに、バイアス回路130からバイアス電位BIAS2、BIAS3を入力する。信号IN⁻は、グラウンドレベルと高電圧VDDとの間で、振幅する。クランプ回路120における入力信号と出力信号との関係を、表2に示す。クランプ回路120は、IN⁻、BIAS2のうち高い方にほぼ等しい電圧を、出力信号INH⁻として出力する。さらに、クランプ回路120は、IN⁻、BIAS3のうち低い方にほぼ等しい電圧を、出力信号INL⁻として出力する。信号INH⁻、INL⁻は、折返しカスコード増幅回路140に送られる。

【0028】

【表 2】

入 力	出 力
$IN- > BIAS2$	$INH- \simeq IN-$
$IN- \leq BIAS2$	$INH- \simeq BIAS2$
$IN- < BIAS3$	$INL- \simeq IN-$
$IN- \geq BIAS3$	$INL- \simeq BIAS3$

【0029】

バイアス回路130は、高電圧電源VDDを用いて、バイアス電位BIAS1, BIAS2, BIAS3, BIAS4 ($0 < BIAS1 < BIAS2 < BIAS3 < BIAS4 < VDD$) を生成する。バイアス電位BIAS1, BIAS2, BIAS3, BIAS4は、折返しカスコード増幅回路140に供給される。加えて、バイアス電位BIAS2, BIAS3は、クランプ回路110, 120にも供給される。

【0030】

折返しカスコード増幅回路140は、信号INH+, INL+をクランプ回路110から入力し、信号INH-, INL-をクランプ回路120から入力し、且つ、バイアス電位BIAS1, BIAS2, BIAS3, BIAS4をバイアス回路130から入力する。後述するように、折返しカスコード増幅回路140は、信号INH+, INL+, INH-, INL-およびバイアス電位BIAS1, BIAS2, BIAS3, BIAS4を用いて、差動出力信号OUT+, OUT-を生成する。電源差動出力信号OUT+, OUT-は、グランドレベルと低電圧VCCと間で、振動する。

【0031】

次に、各回路110～140の内部構成の一例を説明する。

【0032】

図2(A)は、第1クランプ回路110の内部構成例を示す回路図である。図2(A)に示したように、クランプ回路110は、nMOSトランジスタ201, 202と、pMOSトランジスタ203, 204とを備えている。nMOSトランジスタ201は、ドレインで信号入力端子IN+に接続され、ソースで信号出力端子INL+に接続され、且つ、ゲートでバイアス入力端子BIAS3に接続されている。

る。nMOSトランジスタ202は、ドレインでバイアス入力端子BIAS3に接続され、ソースで信号出力端子INL+に接続され、且つ、ゲートで信号入力端子IN+に接続されている。pMOSトランジスタ203は、ソースで信号入力端子IN+に接続され、ドレインで信号出力端子INH+に接続され、且つ、ゲートでバイアス入力端子BIAS2に接続されている。pMOSトランジスタ204は、ソースでバイアス入力端子BIAS2に接続され、ドレインで信号出力端子INH+に接続され、且つ、ゲートで信号入力端子IN+に接続されている。この実施の形態では、差動入力回路100を、バルクCMOS構造を用いて構成した。このため、図2(A)に示されたように、nMOSトランジスタ201, 202のサブストレートはグラウンドラインに接続され、且つ、pMOSトランジスタ203, 204のサブストレート(nウェル領域)は高電圧電源ラインVDDに接続されている。

【0033】

図2(B)は、クランプ回路120の内部構成例を示す回路図である。図2(B)に示したように、クランプ回路120の構成は、クランプ回路110と同様である。クランプ回路120は、nMOSトランジスタ211, 212と、pMOSトランジスタ213, 214とを備えている。nMOSトランジスタ211は、ドレインで信号入力端子IN-に接続され、ソースで信号出力端子INL-に接続され、且つ、ゲートでバイアス入力端子BIAS3に接続されている。nMOSトランジスタ212は、ドレインでバイアス入力端子BIAS3に接続され、ソースで信号出力端子INL-に接続され、且つ、ゲートで信号入力端子IN-に接続されている。pMOSトランジスタ213は、ソースで信号入力端子IN-に接続され、ドレインで信号出力端子INH-に接続され、且つ、ゲートでバイアス入力端子BIAS2に接続されている。pMOSトランジスタ214は、ソースでバイアス入力端子BIAS2に接続され、ドレインで信号出力端子INH-に接続され、且つ、ゲートで信号入力端子IN-に接続されている。図2(B)に示されたように、nMOSトランジスタ211, 212のサブストレートはグラウンドラインに接続され、且つ、pMOSトランジスタ213, 214のサブストレート(nウェル領域)は高電圧電源ラインVDDに接続されている。

【0034】

図3は、バイアス回路130の内部構成例を示す回路図である。図3に示したように、バイアス回路130は、pMOSトランジスタ301～304およびnMOSトランジスタ305～310を備えている。

【0035】

pMOSトランジスタ301, 302は、カレントミラー回路を構成している。pMOSトランジスタ301は、ソースで高電圧電源ラインVDD（3.3ボルト）に接続され、且つ、ゲートでpMOSトランジスタ302のドレインに接続されている。pMOSトランジスタ302は、ソースで高電圧電源ラインVDDに接続され、且つ、ゲートおよびドレインでバイアス出力端子BIAS4に接続されている。

【0036】

pMOSトランジスタ303, 304は、カレントミラー回路を構成している。pMOSトランジスタ303は、ソースでpMOSトランジスタ301のドレインに接続され、ゲートでpMOSトランジスタ304のドレインに接続されている。pMOSトランジスタ304は、ソースでpMOSトランジスタ302のドレインに接続され、ゲートおよびドレインでバイアス出力端子BIAS3に接続されている。

【0037】

nMOSトランジスタ305, 306は、カレントミラー回路を構成している。nMOSトランジスタ305は、ドレインおよびゲートでpMOSトランジスタ303のドレインに接続されている。nMOSトランジスタ306は、ドレインでpMOSトランジスタ304のドレインに接続され、ソースでバイアス出力端子BIAS2に接続され、ゲートでpMOSトランジスタ305のゲートに接続されている。

【0038】

nMOSトランジスタ307, 308は、カレントミラー回路を構成している。nMOSトランジスタ307は、ドレインおよびゲートでnMOSトランジスタ305のソースに接続されている。nMOSトランジスタ308は、ドレインでnMOSトランジスタ306のソースに接続され、ソースでバイアス出力端子

BIAS1 に接続され、ゲートで nMOS トランジスタ 307 のゲートに接続されている。

【0039】

nMOS トランジスタ 309, 310 は、カレントミラー回路を構成している。nMOS トランジスタ 309 は、ドレインおよびゲートで nMOS トランジスタ 307 のソースに接続され、ソースでグラウンドラインに接続されている。nMOS トランジスタ 310 は、ドレインで nMOS トランジスタ 308 のソースに接続され、ソースでグラウンドラインに接続され、ゲートで nMOS トランジスタ 309 のゲートに接続されている。

【0040】

この実施の形態では、バイアス回路 130 を、バルク CMOS 構造を用いて構成した。このため、図 3 に示したように、nMOS トランジスタ 301～304 のサブストレートはグラウンドラインに接続され、且つ、pMOS トランジスタ 305～310 のサブストレート（n ウェル領域）は高電圧電源ライン VDD に接続される。

【0041】

図 4 は、折返しカスコード増幅回路 140 の内部構成例を示す回路図である。図 4 に示したように、折返しカスコード増幅回路 140 は、第 1 入力部 410 と、第 2 入力部 420 と、折返しカスコード増幅部 430 とを備えている。

【0042】

第 1 入力部 410 は、pMOS トランジスタ 411, 412 と、nMOS トランジスタ 413～417 を備えている。ここで、MOS トランジスタ 411, 413 はこの発明の第 1 保護トランジスタ、MOS トランジスタ 412, 414 はこの発明の第 2 保護トランジスタ、nMOS トランジスタ 415 はこの発明の第 1 入力トランジスタ、nMOS トランジスタ 416 はこの発明の第 2 入力トランジスタ、nMOS トランジスタ 417 はこの発明の第 1 定電流源に相当する。pMOS トランジスタ 411, 412 は、ゲートでバイアス入力端子 BIAS2 に接続されている。nMOS トランジスタ 413 は、ドレインで pMOS トランジスタ 411 のドレインに接続され、且つ、ゲートで低電圧電源ライン VCC に接続され

ている。nMOSトランジスタ414は、ドレインでpMOSトランジスタ412のドレインに接続され、且つ、ゲートで低電圧電源ラインVCCに接続されている。nMOSトランジスタ415は、ドレインでnMOSトランジスタ413のソースに接続され、且つ、ゲートで信号入力端子INL+に接続されている。nMOSトランジスタ416は、ドレインでnMOSトランジスタ414のソースに接続され、且つ、ゲートで信号入力端子INL-に接続されている。nMOSトランジスタ417は、ドレインでnMOSトランジスタ415、416のソースに接続され、ソースでグラウンドラインに接続され、且つ、ゲートでバイアス入力端子BIAS1に接続されている。

【0043】

第2入力部420は、pMOSトランジスタ421～425と、nMOSトランジスタ426～427を備えている。ここで、pMOSトランジスタ421はこの発明の第2定電流源、pMOSトランジスタ422はこの発明の第3入力トランジスタ、pMOSトランジスタ423はこの発明の第4入力トランジスタ、MOSトランジスタ424、426はこの発明の第3保護トランジスタ、MOSトランジスタ425、427はこの発明の第4保護トランジスタに相当する。pMOSトランジスタ421は、ソースで高電圧電源ラインVDDに接続され、ゲートでバイアス入力端子BIAS4に接続されている。pMOSトランジスタ422は、ソースでpMOSトランジスタ421のドレインに接続され、且つ、ゲートで信号入力端子INH+に接続されている。pMOSトランジスタ423は、ソースでpMOSトランジスタ421のドレインに接続され、且つ、ゲートで信号入力端子INH-に接続されている。pMOSトランジスタ424は、ソースでpMOSトランジスタ422のドレインに接続され、且つ、ゲートで低電圧電源ラインVCCに接続されている。pMOSトランジスタ425は、ソースでpMOSトランジスタ423のドレインに接続され、且つ、ゲートで低電圧電源ラインVCCに接続されている。nMOSトランジスタ426は、ドレインでpMOSトランジスタ424のドレインに接続され、且つ、ゲートでバイアス入力端子BIAS3に接続されている。nMOSトランジスタ427は、ドレインでpMOSトランジスタ425のドレインに接続され、且つ、ゲートでバイアス入力端子BIAS3に接続され

ている。

【0044】

折返しカスコード増幅部430は、pMOSトランジスタ431～434と、nMOSトランジスタ435～440とを備えている。ここで、nMOSトランジスタ435はこの発明の第1出力トランジスタ、nMOSトランジスタ436はこの発明の第2出力トランジスタ、MOSトランジスタ431、432、439、440は、それぞれ第3～第6定電流源、MOSトランジスタ433、437、434、438はこの発明の第5～第8保護トランジスタに相当する。pMOSトランジスタ431は、ソースで高電圧電源ラインVDDに接続され、ドレインでpMOSトランジスタ412のソースに接続され、ゲートでバイアス入力端子BIAS4に接続されている。pMOSトランジスタ432は、ソースで高電圧電源ラインVDDに接続され、ドレインでpMOSトランジスタ411のソースに接続され、ゲートでバイアス入力端子BIAS4に接続されている。pMOSトランジスタ433は、ソースでpMOSトランジスタ431のドレインに接続され、且つ、ゲートでバイアス入力端子BIAS3に接続されている。pMOSトランジスタ434は、ソースでpMOSトランジスタ432のドレインに接続され、且つ、ゲートでバイアス入力端子BIAS3に接続されている。nMOSトランジスタ435は、ドレインでpMOSトランジスタ433のドレインに接続され、ソースで信号出力端子OUT+に接続され、且つ、ゲートで低電圧電源ラインVCCに接続されている。nMOSトランジスタ436は、ドレインでpMOSトランジスタ434のドレインに接続され、ソースで信号出力端子OUT-に接続され、且つ、ゲートで低電圧電源ラインVCCに接続されている。nMOSトランジスタ437は、ドレインでnMOSトランジスタ435のソースに接続され、ソースでnMOSトランジスタ427のソースに接続され、且つ、ゲートでバイアス入力端子BIAS2に接続されている。nMOSトランジスタ438は、ドレインでnMOSトランジスタ436のソースに接続され、ソースでnMOSトランジスタ426のソースに接続され、且つ、ゲートでバイアス入力端子BIAS2に接続されている。nMOSトランジスタ439は、ドレインでnMOSトランジスタ437のソースに接続され、ソースでグラウンドラインに接続され、且つ、ゲートでバイアス入力端

子BIAS1 に接続されている。nMOSトランジスタ440は、ドレインでnMOSトランジスタ438のソースに接続され、ソースでグラウンドラインに接続され、且つ、ゲートでバイアス入力端子BIAS1 に接続されている。

【0045】

図4に示したように、nMOSトランジスタ413～417、426～427、435～440のサブストレートはグラウンドラインに接続され、且つ、pMOSトランジスタ411～412、421～425、431～434のサブストレート（nウェル領域）は高電圧電源ラインVDD に接続される。

【0046】

図2～図4の回路において、各トランジスタのゲート絶縁膜は、耐圧が低電圧VCC 以上となるように構成すればよく、耐圧が高電圧VDD 以上になるように構成する必要はない。ここで、VCC は、 $VDD > VCC \geq VDD - VCC$ となるように、決定される。すなわち、VCC は、VDD より小さいが、 $VDD / 2$ 以上である。また、図2～図4の回路において、各トランジスタの拡散領域・サブストレート間耐圧は、高電圧VDD よりも大きい値に設定されている。さらに、図2～図4の回路において、各トランジスタのゲート長は、差動入力回路100を含む集積回路の製造プロセスの最小ゲート長よりも長いゲート長に設定される。

【0047】

次に、図1～図4に示した差動入力回路100の動作について説明する。

【0048】

バイアス回路130は、上述のように、5段のカレントミラー回路によって構成されている（図3参照）。したがって、トランジスタ302、304、306、308、310には、一定の電流が流れる。そして、これらのトランジスタ302、304、306、308、310の電圧降下によって、電位BIAS1、BIAS2、BIAS3、BIAS4（ $0 < BIAS1 < BIAS2 < BIAS3 < BIAS4 < VDD$ ）が生成される。

【0049】

クランプ回路110は、上述のように、信号IN+ および電位BIAS2、BIAS3を入力する（図2（A）参照）。ここで、入力信号IN+ が電位差 $BIAS3 - V_{thn}$ より低い場合（ V_{thn} はnMOSトランジスタの閾値電圧）、nMOSトランジスタ2

01 はオンしており且つ nMOS トランジスタ 202 はオフしている。したがって、出力信号 INL+ の電位は、信号 IN+ の電位と同じになる。入力信号 IN+ が上昇して $BIAS3 - V_{thn}$ に達すると、nMOS トランジスタ 201 がオフする。したがって、入力信号 IN+ が $BIAS3 - V_{thn} \sim BIAS3 + V_{thn}$ のとき、出力信号 INL+ の電位は、 $BIAS3 - V_{thn}$ に固定される。入力信号 IN+ が $BIAS3 + V_{thn}$ に達すると、nMOS トランジスタ 202 がオンする。このため、出力信号 INL+ の電位は、BIAS3 と同電位になる。また、入力信号 IN+ がバイアス電位 $BIAS2 - V_{thp}$ より高い場合 (V_{thp} は pMOS トランジスタの閾値電圧)、pMOS トランジスタ 203 はオンしており且つ pMOS トランジスタ 204 はオフしている。したがって、出力信号 INH+ の電位は、信号 IN+ の電位と同じになる。入力信号 IN+ が下降して $BIAS2 - V_{thp}$ に達すると ($BIAS2, V_{thp} < 0$)、pMOS トランジスタ 203 がオフする。したがって、入力信号 IN+ が $BIAS2 - V_{thp} \sim BIAS2 + V_{thp}$ のとき、出力信号 INH+ の電位は、 $BIAS2 - V_{thp}$ に固定される。入力信号 IN+ が $BIAS2 + V_{thp}$ に達すると、pMOS トランジスタ 204 がオンする。このため、出力信号 INH+ の電位は、BIAS2 と同電位になる。このようにして、表 1 に示したような出力信号を得ることができる。

【 0 0 5 0 】

クランプ回路 120 は、上述のように、信号 IN- および電位 BIAS2, BIAS3 を入力する (図 2 (A) 参照)。ここで、入力信号 IN- がバイアス電位 $BIAS3 - V_{thn}$ より低い場合 (V_{thn} は nMOS トランジスタの閾値電圧)、nMOS トランジスタ 211 はオンしており且つ nMOS トランジスタ 212 はオフしている。したがって、出力信号 INL- の電位は、信号 IN- の電位と同じになる。入力信号 IN- が上昇して $BIAS3 - V_{thn}$ に達すると、nMOS トランジスタ 211 がオフする。したがって、入力信号 IN- が $BIAS3 - V_{thn} \sim BIAS3 + V_{thn}$ のとき、出力信号 INL- の電位は、 $BIAS3 - V_{thn}$ に固定される。入力信号 IN- が $BIAS3 + V_{thn}$ に達すると、nMOS トランジスタ 212 がオンする。このため、出力信号 INL- の電位は、BIAS3 と同電位になる。また、入力信号 IN- がバイアス電位 $BIAS2 - V_{thp}$ より高い場合 (V_{thp} は pMOS トランジスタの閾値電圧)、pMOS トランジスタ 213 はオンしており且つ pMOS トランジスタ 214 はオフしている。したがって

、出力信号INH-の電位は、信号IN- の電位と同じになる。入力信号IN- が下降してBIAS2-Vthp に達すると ($\text{BIAS2}, V_{thp} < 0$)、nMOSトランジスタ213がオフする。したがって、入力信号IN- がBIAS2-Vthp~BIAS2+Vthpのとき、出力信号INH-の電位は、BIAS2-Vthp に固定される。入力信号IN- がBIAS2+Vthp に達すると、nMOSトランジスタ214がオンする。このため、出力信号INH-の電位は、BIAS2 と同電位になる。このようにして、表2に示したような出力信号を得ることができる。

【0051】

折返しカスコード増幅回路140 (図4参照) は、差動入力信号IN+, IN-の値に応じた差動出力信号OUT+, OUT-を生成・出力する。このときの動作について、 $\text{BIAS2} \leq \text{IN+}, \text{IN-} \leq \text{BIAS3}$ の場合、 $\text{BIAS2} < \text{BIAS3} \leq \text{IN+}, \text{IN-}$ の場合、 $\text{IN+}, \text{IN-} \leq \text{BIAS2} < \text{BIAS3}$ の場合に分けて説明する。なお、以下の説明では、 $\text{IN+} \leq \text{IN-}$ の場合を例に採る。折返しカスコード増幅回路140は差動入力信号IN+, IN-に対して対称であり、このため、 $\text{IN+} > \text{IN-}$ の場合の動作も $\text{IN+} \leq \text{IN-}$ の場合の動作と同様である。したがって、 $\text{IN+} > \text{IN-}$ の場合の動作については、説明を省略する。

【0052】

まず、 $\text{BIAS2} \leq \text{IN+}, \text{IN-} \leq \text{BIAS3}$ の場合を説明する。この場合、 $\text{IN+} \leq \text{IN-}$ であれば、信号INH+, INL+の電位はIN+ の電位と同じになり且つ信号INH-, INL-の電位はIN- の電位とほぼ同じになる (表1、表2参照)。したがって、信号IN+ の電位が下降し且つ信号IN- が上昇するとき、信号INH+, INL+の電位は下降し且つ信号INH-, INL-の電位は上昇する。これらの信号INH+, INL+, INH-, INL-は、折返しカスコード増幅回路140に入力される。

【0053】

信号INL+の電位が下降すると、nMOSトランジスタ415のドレイン電流が減少し、したがって、pMOSトランジスタ434のドレイン電流が増加する。また、信号INL-の電位が上昇すると、nMOSトランジスタ416のドレイン電流が増加し、したがって、pMOSトランジスタ433のドレイン電流が減少する。さらに、信号INH+の電位が下降すると、pMOSトランジスタ422のドレイン電流が増加し、したがって、nMOSトランジスタ438のドレイン電流が

減少する。加えて、信号INH-の電位が上昇すると、pMOSトランジスタ423のドレイン電流が減少し、したがって、nMOSトランジスタ437のドレイン電流が増加する。

【0054】

そして、pMOSトランジスタ433のドレイン電流が減少し且つnMOSトランジスタ437のドレイン電流が増加するので、差動出力信号OUT+の電位は下降してローレベルになる。一方、pMOSトランジスタ434のドレイン電流が増加し且つnMOSトランジスタ438のドレイン電流が減少するので、差動出力信号OUT-の電位は上昇してハイレベルになる。このようにして、差動出力信号OUT+、OUT-が生成される。ここで、差動出力信号OUT+、OUT-の出力端子は、nMOSトランジスタ435、436でクランプされている。したがって、差動出力信号OUT+、OUT-の電位は、グラウンドレベルと低電圧VCC との間の値になる。

【0055】

信号IN+ がさらに下降し且つ信号IN- がさらに上昇すると、 $IN+ \leq BIAS2 < BIAS3 \leq IN-$ の関係が成立するようになる。表1、表2からわかるように、この場合、信号INL+の電位は信号IN+ の電位とほぼ同じになり（したがって $INL+ \leq BIAS2$ ）、且つ、信号INH-の電位は信号IN- の電位とほぼ同じになる（したがって $BIAS3 \leq INH-$ ）。また、信号INH+ の電位はバイアス電位BIAS2 とほぼ同じ電位に固定され、且つ、信号INL-の電位はバイアス電位BIAS3 とほぼ同じ電位に固定される。そして、信号IN+ がグラウンドレベルに達し且つ信号IN- が高電圧VDD に達すると、信号INL+の電位はほぼグラウンドレベルに達し且つ信号INH-の電位はほぼ高電圧VDD に達する。

【0056】

信号INL+の電位がバイアス電位BIAS1 よりも低いので、nMOSトランジスタ415はオフする。したがって、pMOSトランジスタ434のドレイン電流は、pMOSトランジスタ432のドレイン電流と同じ値まで上昇し、この値に固定される。同様に、信号INH-の電位がバイアス電位BIAS3 よりも高いので、pMOSトランジスタ423はオフする。したがって、nMOSトランジスタ437のドレイン電流は、nMOSトランジスタ439のドレイン電流と同じ値まで上

昇し、この値に固定される。一方、信号INL-の電位がバイアス電位BIAS3に固定されるので、nMOSトランジスタ416のドレイン電流は固定され、したがって、pMOSトランジスタ431のドレイン電流は固定される。同様に、信号INH+の電位がバイアス電位BIAS2に固定されるので、pMOSトランジスタ422のドレイン電流は固定され、したがって、pMOSトランジスタ440のドレイン電流は固定される。このようにして、差動出力信号OUT+は最低電位に固定され、且つ、差動出力信号OUT-は最高電位に固定される。

【0057】

次に、 $BIAS2 < BIAS3 \leq IN+$ 、IN-の場合を説明する。表1、表2からわかるように、この場合、信号INL+、INL-の電位はBIAS3に固定され、信号INH-の電位は信号IN-の電位とほぼ同じになり、且つ、信号INH+の電位は信号IN+の電位とほぼ同じになる。

【0058】

信号INL+、INL-の電位が固定されるので、nMOSトランジスタ415、416のドレイン電流も固定され、したがって、pMOSトランジスタ433、434のドレイン電流も固定される。一方、pMOSトランジスタ422、423のドレイン電流は信号INH+、INH-の電位に応じて変化し、したがって、nMOSトランジスタ437、438のドレイン電流はpMOSトランジスタ422、423のドレイン電流に応じて変化する。したがって、差動出力信号OUT+、OUT-は、信号INH+、INH-の電位に応じて変化する。

【0059】

次に、 $IN+、IN- \leq BIAS2 < BIAS3$ の場合を説明する。表1、表2からわかるように、この場合、信号INH+、INH-の電位はBIAS2に固定され、信号INL-の電位は信号IN-の電位とほぼ同じになり、且つ、信号INL+の電位は信号IN+の電位とほぼ同じになる。

【0060】

信号INH+、INH-の電位が固定されるので、pMOSトランジスタ422、423のドレイン電流も固定され、したがって、nMOSトランジスタ437、438のドレイン電流も固定される。一方、nMOSトランジスタ415、416の

ドレイン電流は信号INL+, INL-の電位に応じて変化し、したがって、pMOSトランジスタ433, 434のドレイン電流はnMOSトランジスタ415, 416のドレイン電流に応じて変化する。したがって、差動出力信号OUT+, OUT-は、信号INL+, INL-の電位に応じて変化する。

【0061】

このように、この実施の形態に係る差動入力回路100によれば、グラウンドレベル(0ボルト)と高電圧VDD との間の振幅を、グラウンドレベルと低電圧VCC との間の振幅に変換することができる。

【0062】

この実施の形態に係る差動入力回路100は、電源電圧として高電圧VDD を使用しているにも拘わらず、低電圧VCC 用に設計されたトランジスタで構成することができる。以下、その理由を説明する。

【0063】

クランプ回路110は、上述のように、トランジスタ201~204を備えている(図2(A)参照)。

【0064】

nMOSトランジスタ201において、ゲート電位は、BIAS3 である。ソース電位は、信号IN+ の電位であるので、グラウンドレベルと高電圧VDD の間で振動する。また、ドレイン電圧は、信号INL+であるので、グラウンドレベルとソース電位BIAS3 との間で振動する。したがって、ゲート・ソース間の最大電圧は、BIAS3 またはVDD-BIAS3の大きい方である。また、ゲート・ドレイン間の最大電圧は、BIAS3 である。さらに、ソース・ドレイン間の最大電圧は、VDD-BIAS3である。このように、いずれの端子間電圧も、高電圧VDD と比較して十分に小さい。

【0065】

nMOSトランジスタ202において、ゲート電位は、信号IN+ であるので、グラウンドレベルと高電圧VDD との間で振動する。ソース電位は、BIAS3 である。また、ドレイン電位は、信号INL+であるので、グラウンドレベルとソース電位BIAS3 との間で振動する。したがって、ゲート・ソース間の最大電圧は、BIAS3 またはVDD-BIAS3の大きい方である。また、ゲート・ドレイン間の最大電圧は、VDD

-BIAS3である。さらに、ソース・ドレイン間の最大電圧は、BIAS3 である。このように、いずれの端子間電圧も、高電圧VDD と比較して十分に小さい。

【0066】

pMOSトランジスタ203において、ゲート電位は、BIAS2 である。ソース電位は、信号IN+ の電位であるので、グラウンドレベルと高電圧VDD の間で振動する。また、ドレイン電圧は、信号INH+であるので、バイアス電位BIAS2 と高電圧VDD との間で振動する。したがって、ゲート・ソース間の最大電圧は、BIAS2 またはVDD-BIAS2の大きい方である。また、ゲート・ドレイン間の最大電圧は、VDD-BIAS2である。さらに、ソース・ドレイン間の最大電圧は、BIAS2 である。このように、いずれの端子間電圧も、高電圧VDD と比較して十分に小さい。

【0067】

pMOSトランジスタ204において、ゲート電位は、信号IN+ であるので、グラウンドレベルと高電圧VDD との間で振動する。ソース電位は、BIAS2 である。また、ドレイン電位は、信号INH+であるので、バイアス電位BIAS2 と高電圧VDD との間で振動する。したがって、ゲート・ソース間の最大電圧は、BIAS2 またはVDD-BIAS2の大きい方である。ゲート・ドレイン間の最大電圧は、BIAS2 である。また、ソース・ドレイン間の最大電圧は、VDD-BIAS2である。このように、いずれの端子間電圧も、高電圧VDD と比較して十分に小さい。

【0068】

このように、クランプ回路110は、電源電圧として高電圧VDD を使用しているにも拘わらず、各トランジスタ201～204に要求されるゲート酸化膜耐圧およびソース・ドレイン間耐圧は、非常に小さい。

【0069】

なお、クランプ回路120の各トランジスタ211～214に要求されるゲート酸化膜耐圧およびソース・ドレイン間耐圧も、クランプ回路110の各トランジスタと同様である。

【0070】

バイアス回路130は、上述のように、5段のカレントミラー回路を直列に接続することによって構成されている。すなわち、pMOSトランジスタ301、

303 および nMOS トランジスタ 305, 307, 309 は直列接続されており、且つ、pMOS トランジスタ 302, 304 および nMOS トランジスタ 306, 308, 310 は直列接続されている。したがって、高電圧 VDD とグランドレベルとの電位差は 5 個のトランジスタによって分圧されるので、各トランジスタのソース・ドレイン間電圧は非常に小さくなる。また、各カレントミラー回路のトランジスタ・ペアのゲートは一方のトランジスタのドレインに接続されており、したがって、ゲート・ソース間電圧およびゲート・ドレイン間電圧も非常に小さくなる。

【0071】

折返しカスコード増幅回路 140 の第 1 入力部 410 は、上述のように、トランジスタ 411～417 を有する。

【0072】

nMOS トランジスタ 415 がオンしているとき、トランジスタ 432, 411, 413, 415, 417 を介して高電圧電源 VDD からグランドに電流が流れる。したがって、高電圧 VDD は、これらのトランジスタによって分圧される。この実施の形態では、第 1 過電圧保護回路のトランジスタ 411, 413 を設けたので、各トランジスタのソース・ドレイン間電圧が低減される。また、nMOS トランジスタ 415 では、ゲート電圧は最大でも BIAS3 であり（表 1 参照）、したがって、ゲート・ソース間電圧およびゲート・ドレイン間電圧は最大でも VCC 程度である。ここで、pMOS トランジスタ 411 のゲート電位を BIAS2 にしたのは、この pMOS トランジスタ 411 のオン抵抗を小さくするためである。

【0073】

nMOS トランジスタ 415 がオフしているとき、nMOS トランジスタ 415 のゲート電位は、最低でグランドレベルである。また、nMOS トランジスタ 415 のドレイン電位は、nMOS トランジスタ 413 によってクランプされ、低電圧 VCC 以上にはならない。加えて、nMOS トランジスタ 415 のソース電位は低くてもグランドレベル程度である。したがって、nMOS トランジスタ 415 のゲート・ソース間電圧およびゲート・ドレイン間電圧は、低電圧 VCC 以上にはならない。また、nMOS トランジスタ 413 のドレイン電位は、pMOS

トランジスタ432のドレイン電位と一致するので、VCC 程度より大きくはならない。

【0074】

同様の理由により、第1入力部410のトランジスタ412, 414, 416の端子間電圧も、VCC 程度より大きくなることはない。加えて、第2入力部420の各トランジスタ421～427の端子間電圧も、VCC 程度より大きくなることはない。

【0075】

折返しカスコード増幅部430は、直列接続されたトランジスタ431, 433, 435, 437, 439と、直列接続されたトランジスタ432, 434, 436, 438, 440とを備えている。これらのトランジスタには常に電流が流れ、このため、高電圧VDD はこれらのトランジスタによって分圧される。したがって、各トランジスタのソース・ドレイン間電圧は、十分に小さくなる。加えて、高電圧電源VDD に近いトランジスタほど、高いゲート電位が印加される。したがって、各トランジスタの、ゲート・ソース間電圧およびゲート・ドレイン間電圧も、十分に小さくなる。

【0076】

次に、図2～図4に示した各回路110～140を構成するトランジスタのゲート・サブストレータ間電圧について説明する。

【0077】

ゲート・サブストレータ間電圧は、第1クランプ回路110内の各MOSトランジスタ201～204（図2（A）参照）、第2クランプ回路120内のMOSトランジスタ211～214（図2（B）参照）および折返しカスコード増幅回路140内のMOSトランジスタ411, 412, 415, 416, 422, 423, 426, 427では、低電圧VCC よりも高くなる。しかしながら、MOSトランジスタがオンしているときは、ソース領域と同電位のチャネルが形成されるので、ゲート酸化膜に対する印加電圧はゲート・ソース間電圧と一致し、サブストレータの電位は影響しない。一方、MOSトランジスタがオフしているときは、ゲート・ソース間電圧 V_{gs} とソース・サブストレータ間電圧 V_{sb} との和 V_g

$s + V_{sb}$ が、ゲート酸化膜と空乏層とで分圧されて、ゲート・サブストレート間に印加される。しかし、サブストレート電位が上昇すると空乏層が広がるので、ゲート酸化膜に印加される電圧はそれほど上昇しない。したがって、ゲート・サブストレート間電圧がゲート酸化膜の耐圧より高くても、MOSトランジスタの信頼性は損なわれない。

【 0 0 7 8 】

以上説明したように、この実施の形態に係る差動入力回路 1 0 0 は、高電位レベルVDD の電源を使用しているにも拘わらず、各トランジスタのゲート酸化膜には低電位レベルVCC 程度の電圧しか印加されない。したがって、差動入力回路 1 0 0 は、低電圧VCC の電源を使用する集積回路と同じ耐圧のゲート酸化膜を使用することができる。

【 0 0 7 9 】

また、各トランジスタのソース・ドレイン間電圧も、最大で低電圧VCC 程度である。これにより、この実施の形態によれば、信頼性が高い差動入力回路を提供することができる。

【 0 0 8 0 】

加えて、入力信号IN+, IN-がクランプ回路 1 1 0, 1 2 0 を介して入力されるので、入力電流を小さくすることができる。

【 0 0 8 1 】

さらに、クランプ回路 1 1 0 において、nMOSトランジスタ 2 0 1, 2 0 2 にはバイアス電位BIAS3 を供給し且つ pMOSトランジスタ 2 0 3, 2 0 4 にはバイアス電位BIAS2 を供給することとしたので（すなわち、第 1 基準電位<第 2 基準電位としたので）、出力信号INH+, INL+が切り換わるタイミングをずらすことができる。同様に、クランプ回路 1 2 0 において、nMOSトランジスタ 2 1 1, 2 1 2 にはバイアス電位BIAS3 を供給し且つ pMOSトランジスタ 2 1 3, 2 1 4 にはバイアス電位BIAS2 を供給することとしたので、出力信号INH-, INL-が切り換わるタイミングをずらすことができる。これにより、差動入力回路 1 0 0 の動作を安定化することができる。

【 0 0 8 2 】

第 2 の実施の形態

次に、この発明の第 2 の実施の形態に係る差動入力回路について説明する。

【 0 0 8 3 】

この実施の形態に係る差動入力回路は、折返しカスコード増幅回路の構成が、第 1 の実施の形態の差動入力回路と異なる。

【 0 0 8 4 】

図 5 は、この実施の形態に係る折返しカスコード増幅回路の構成を示す回路図である。

【 0 0 8 5 】

図 5 に示したように、この折返しカスコード増幅回路 5 0 0 は、図 4 の p M O S トランジスタ 4 1 1, 4 1 2 に代えて、ゲートとドレインとが接続された p M O S トランジスタ 5 0 1, 5 0 2 が設けられている。加えて、図 4 のトランジスタ n M O S 4 2 6, 4 2 7 に代えて、ゲートとドレインとが接続された n M O S トランジスタ 5 0 3, 5 0 4 が設けられている。

【 0 0 8 6 】

他の構成および全体的な回路動作については、第 1 の実施の形態と同様であるので、説明を省略する。

【 0 0 8 7 】

このように、ダイオード接続されたトランジスタ 5 0 1 ~ 5 0 4 を用いて過電圧保護回路を構成した場合も、第 1 の実施の形態の折返しカスコード増幅回路 1 4 0 と同様、各トランジスタの端子間電圧を十分に低くすることができる。

【 0 0 8 8 】

加えて、入力部 4 1 0, 4 2 0 にバイアス電位 BIAS2, BIAS3 を使用しないので、これらのバイアス電位 BIAS2, BIAS3 に重畳されるノイズの影響を受け難く、したがって、より良好な差動増幅特性を得ることができる。

【 0 0 8 9 】

第 3 の実施の形態

次に、この発明の第 3 の実施の形態に係る差動入力回路について説明する。

【 0 0 9 0 】

この実施の形態に係る差動入力回路は、折返しカスコード増幅回路の構成が、第 1 の実施の形態の差動入力回路と異なる。

【0091】

図 6 は、この実施の形態に係る折返しカスコード増幅回路の構成を示す回路図である。

【0092】

図 6 に示したように、この折返しカスコード増幅回路 500 は、図 4 の pMOS トランジスタ 411、412 に代えて、ゲートとドレインとが接続された nMOS トランジスタ 601、602 が設けられている。加えて、図 4 の nMOS トランジスタ 426、427 に代えて、ゲートとドレインとが接続された pMOS トランジスタ 603、604 が設けられている。

【0093】

他の構成および全体的な回路動作については、第 1 の実施の形態と同様であるので、説明を省略する。

【0094】

このように、ダイオード接続されたトランジスタ 601～604 を用いて過電圧保護回路を構成した場合も、第 1 の実施の形態の折返しカスコード増幅回路 140 と同様、各トランジスタの端子間電圧を十分に低くすることができる。

【0095】

加えて、入力部 410、420 にバイアス電位 BIAS2、BIAS3 を使用しないので、これらのバイアス電位 BIAS2、BIAS3 に重畳されるノイズの影響を受け難く、したがって、より良好な差動増幅特性を得ることができる。

【0096】

第 4 の実施の形態

この発明の第 4 の実施の形態に係る差動入力回路について説明する。

【0097】

この実施の形態に係る差動入力回路は、完全空乏型 SOI (Silicon On Insulator) を用いて各回路を構成している点で、上述の第 1 の実施の形態と異なる。

【0098】

図 7 は、この実施の形態に係る第 1 クランプ回路 7 0 0 の構成を示す回路図である。図 7 の各トランジスタには、図 2 (A) の対応する各トランジスタと同じ符号が付されている。なお、第 2 クランプ回路の構成は、第 1 クランプ回路 7 0 0 の構成と実質的に同一であるため、図示していない。

【 0 0 9 9 】

図 8 は、この実施の形態に係るバイアス回路 8 0 0 の構成を示す回路図である。図 8 の各トランジスタには、図 3 の対応する各トランジスタと同じ符号が付されている。

【 0 1 0 0 】

図 9 は、この実施の形態に係る折返しカスコード増幅回路 9 0 0 の構成を示す回路図である。図 9 の各トランジスタには、図 4 の対応する各トランジスタと同じ符号が付されている。

【 0 1 0 1 】

図 7 ～図 9 に示したように、完全空乏型 S O I を使用する場合、ボディ領域（すなわちバルク C M O S 構造のサブストレートに対応する領域）が、フローティング状態に設定される。

【 0 1 0 2 】

上述のように、第 1 の実施の形態に係る差動入力回路では、M O S トランジスタの各拡散領域とサブストレートとの P N 接合は、逆バイアス耐圧が高電圧 V D D よりも高くなるように構成された。これに対して、S O I 基板では、表面シリコン層の下に厚さ 1 0 0 ～ 5 0 0 n m の埋め込み酸化膜が設けられており、さらに、p M O S トランジスタ形成領域と n M O S トランジスタ形成領域とは厚さ 1 0 0 ～ 5 0 0 n m の酸化膜で分離されている。この分離酸化膜の耐圧（バルク C M O S 構造の拡散領域・サブストレート間の逆バイアス耐圧に相当する）は、1 0 V 以上である。したがって、この実施の形態によれば、拡散領域・基板間の耐圧を全く考慮することなく差動入力回路を設計することができる。

【 0 1 0 3 】

加えて、素子領域を酸化膜で完全に分離することにより、ソース領域およびドレイン領域の寄生容量が低減され、したがって、高速動作が期待される。さらに

、S O I 構造の素子分離により、基板ノイズの低減や接合リーク電流の低減を図ることもできる。

【 0 1 0 4 】

【発明の効果】

以上詳細に説明したように、この発明によれば、低耐圧トランジスタのみで構成され且つ高電源電圧で動作する差動入力回路を提供することができる。

【図面の簡単な説明】

【図 1】

第 1 の実施の形態に係る差動入力回路の全体構成を示す回路図である。

【図 2】

(A) は第 1 の実施の形態に係る第 1 クランプ回路の内部構成図であり、(B) は第 1 の実施の形態に係る第 2 クランプ回路の内部構成図である。

【図 3】

第 1 の実施の形態に係るバイアス回路の内部構成図である。

【図 4】

第 1 の実施の形態に係る折返しカスコード増幅回路の内部構成図である。

【図 5】

第 2 の実施の形態に係る折返しカスコード増幅回路の内部構成図である。

【図 6】

第 3 の実施の形態に係る折返しカスコード増幅回路の内部構成図である。

【図 7】

第 4 の実施の形態に係る第 1 クランプ回路の内部構成図である。

【図 8】

第 4 の実施の形態に係るバイアス回路の内部構成図である。

【図 9】

第 4 の実施の形態に係る折返しカスコード増幅回路の内部構成図である。

【符号の説明】

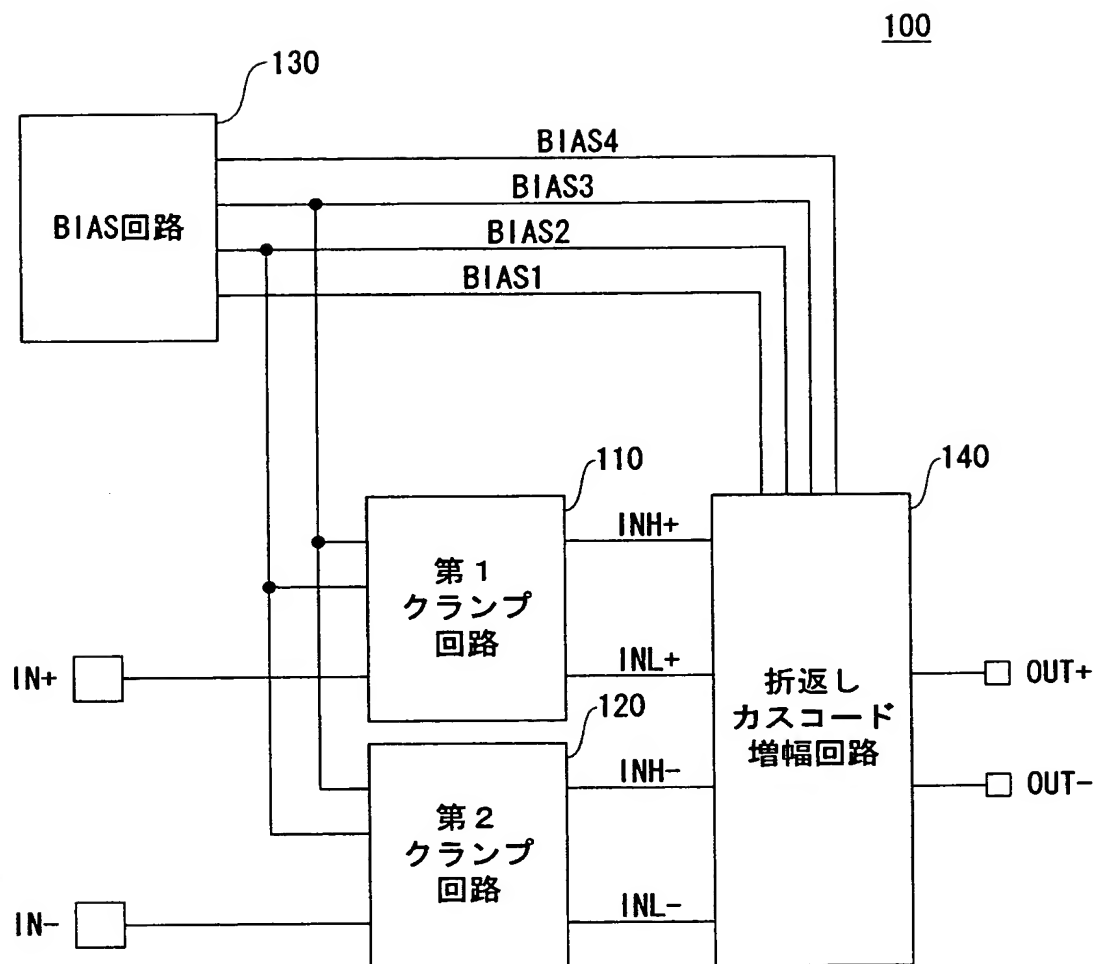
1 0 0 差動入力回路

1 1 0 第 1 クランプ回路

- 1 2 0 第 2 クランプ回路
- 1 3 0 バイアス回路
- 1 4 0 折返しカスコード増幅回路
- 4 1 0 第 1 入力部
- 4 2 0 第 2 入力部
- 4 3 0 折返しカスコード増幅部

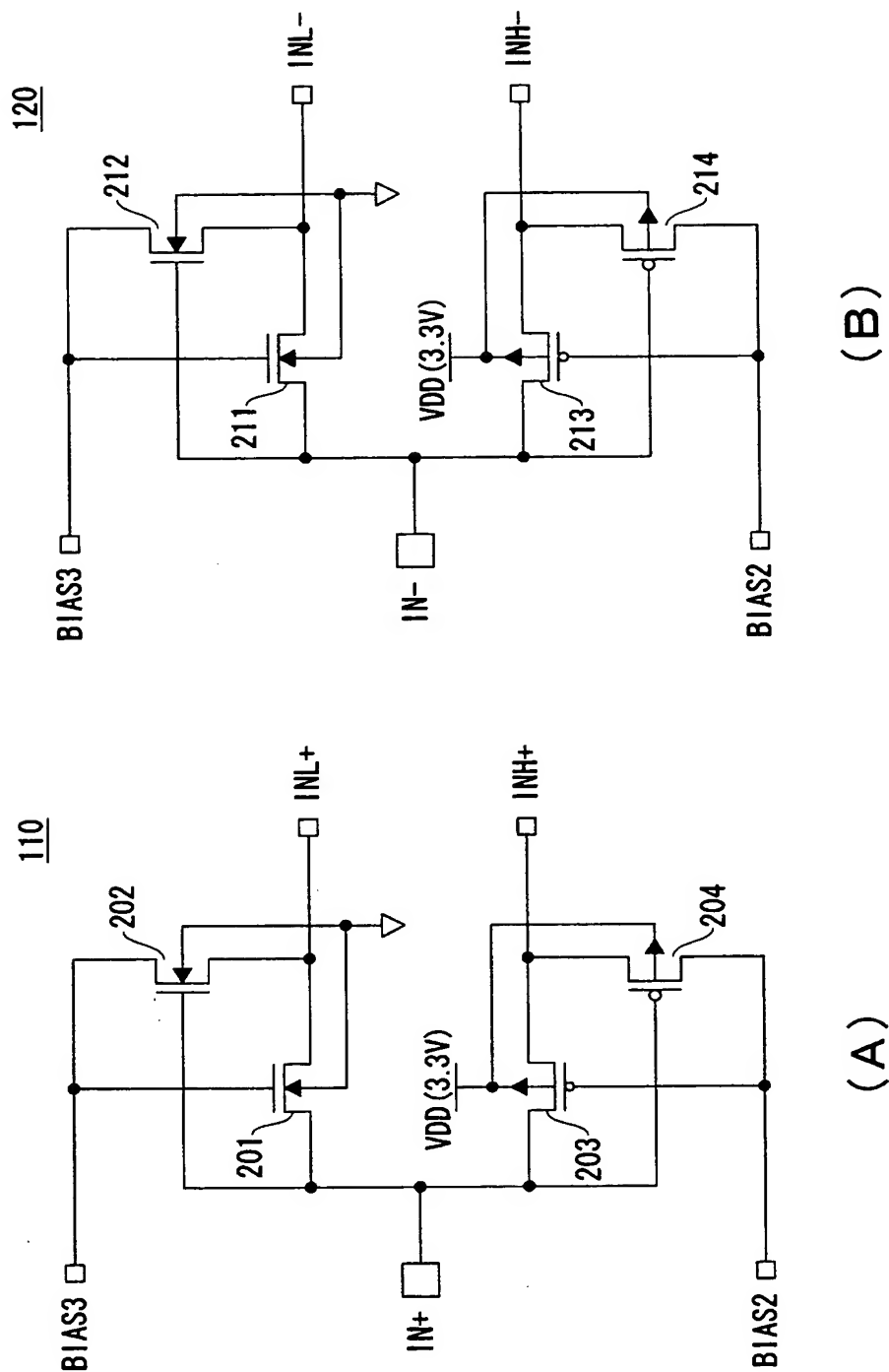
【書類名】 図面

【図 1】



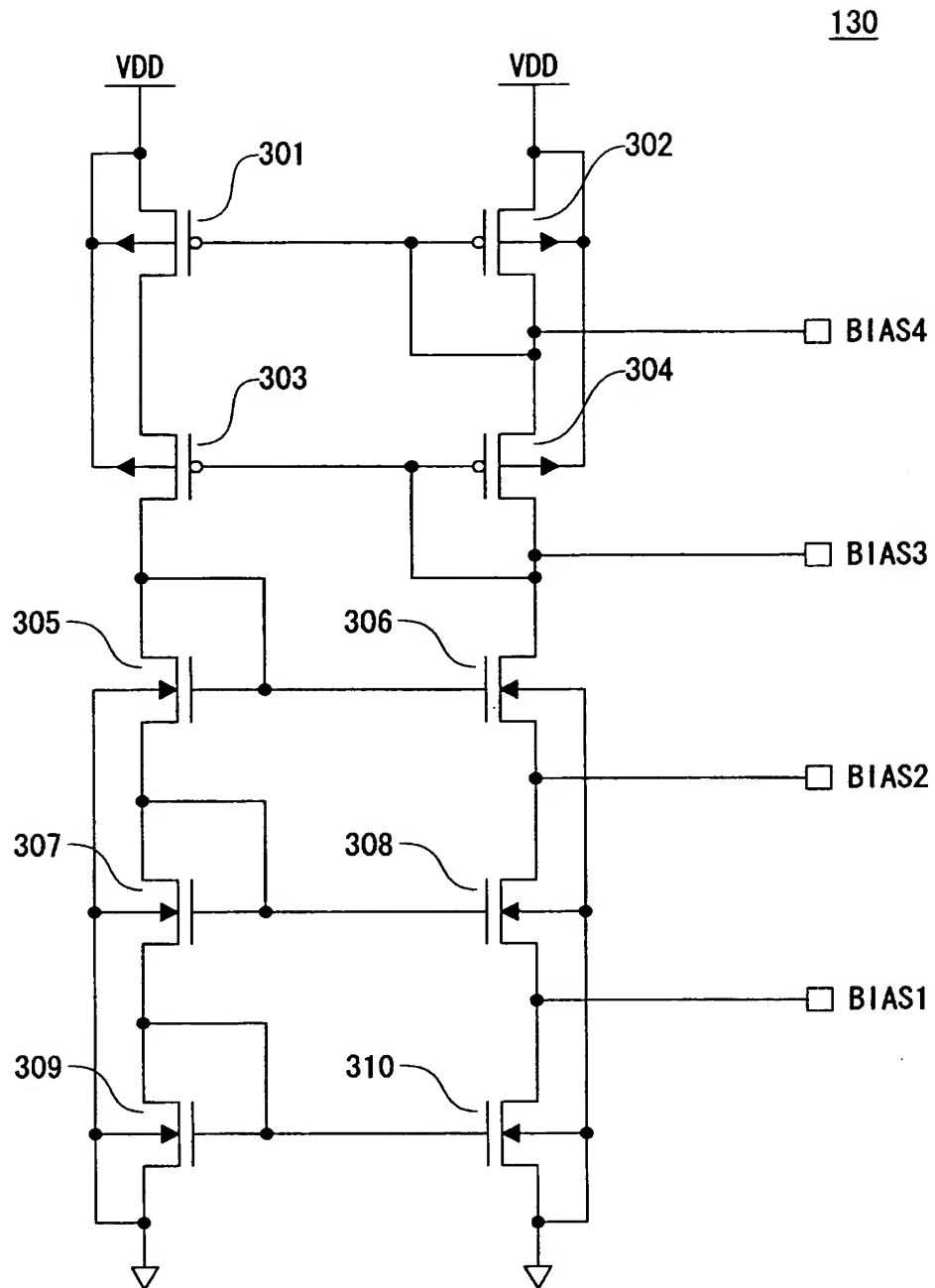
第 1 の実施の形態の差動入力回路

【図 2】



第1の実施の形態の第1クランプ回路と第2クランプ回路

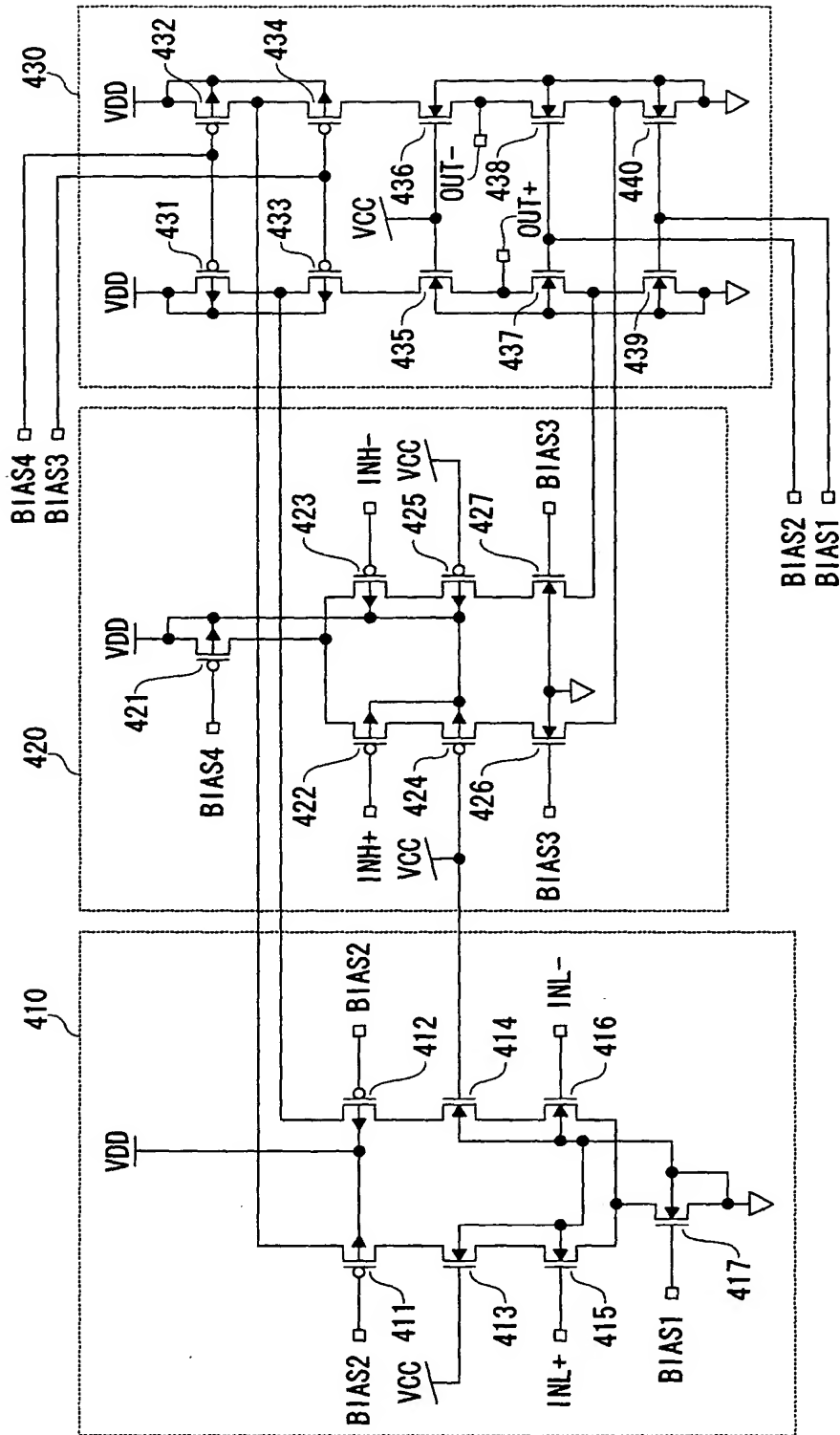
【 図 3 】



第 1 の実施の形態のバイアス回路

【図 4】

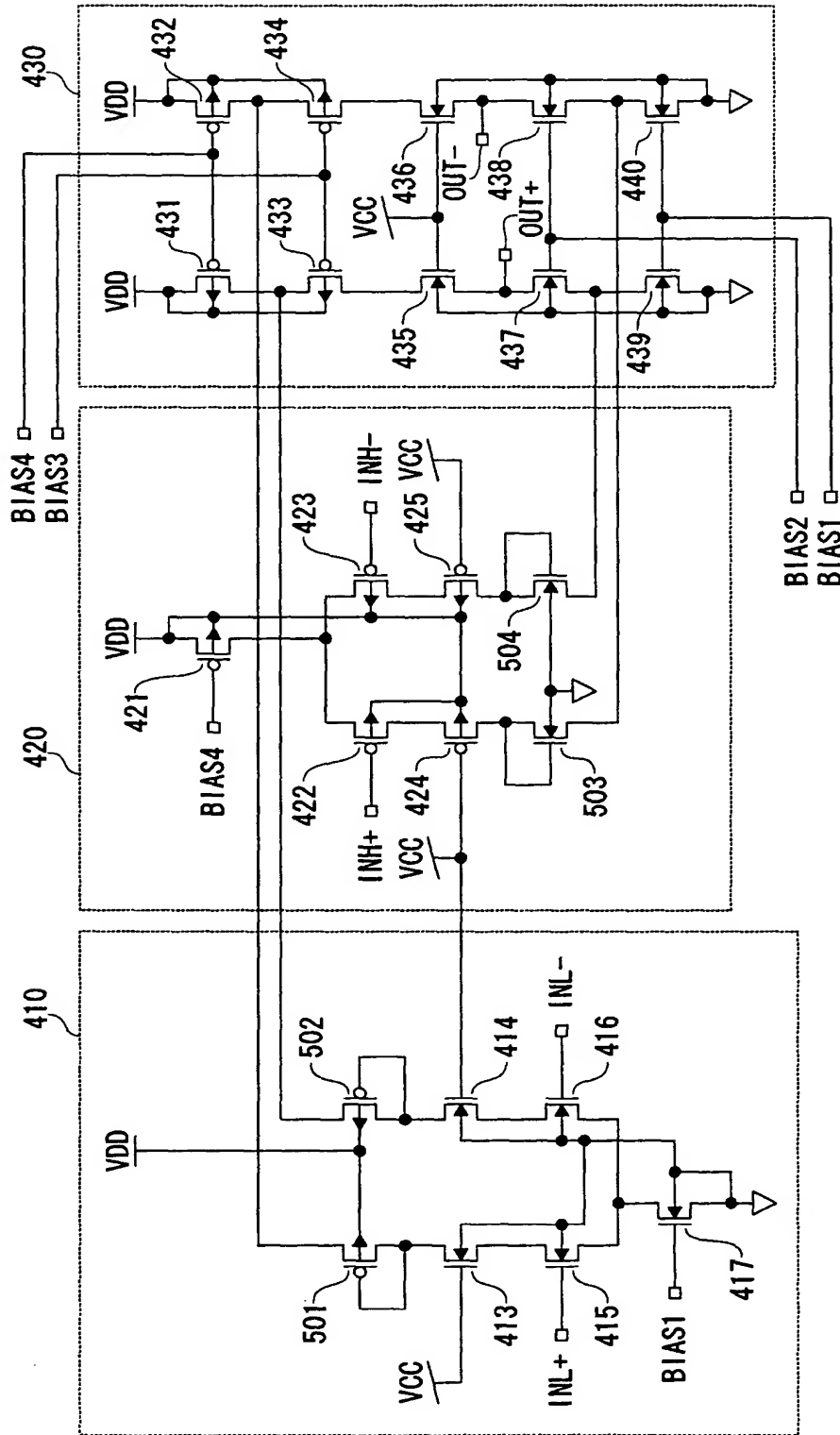
140



第 1 の実施の形態の折返しカスコード増幅回路

【図5】

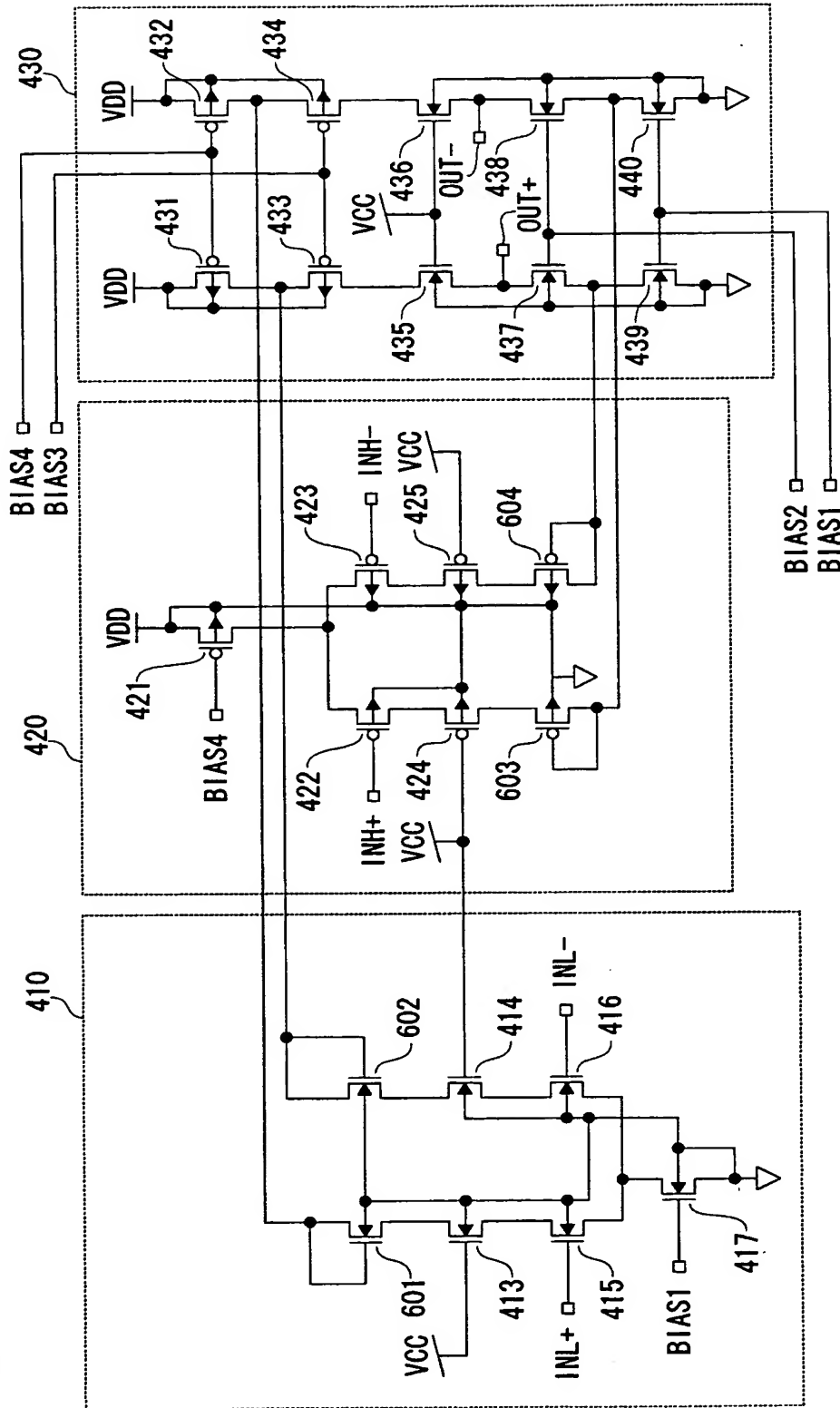
500



第2の実施の形態の折返しカスコード増幅回路

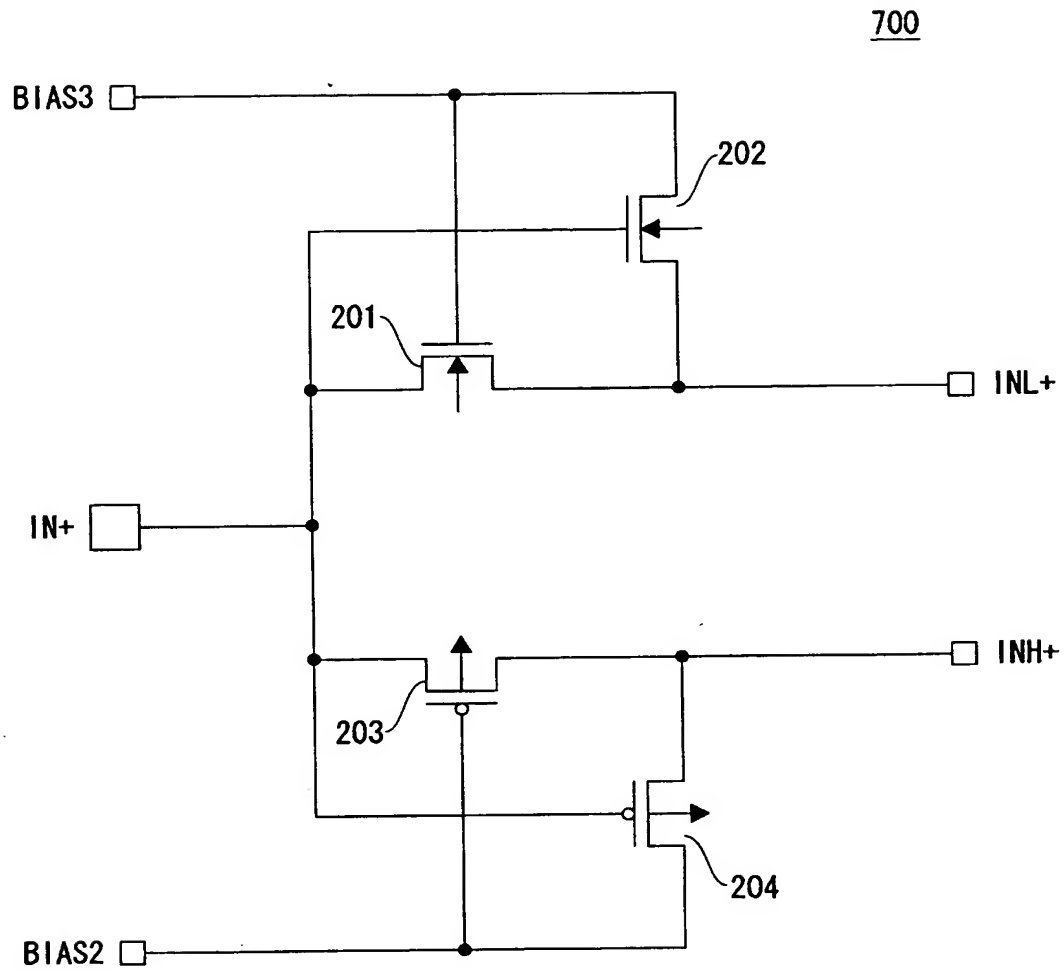
600

【図 6】



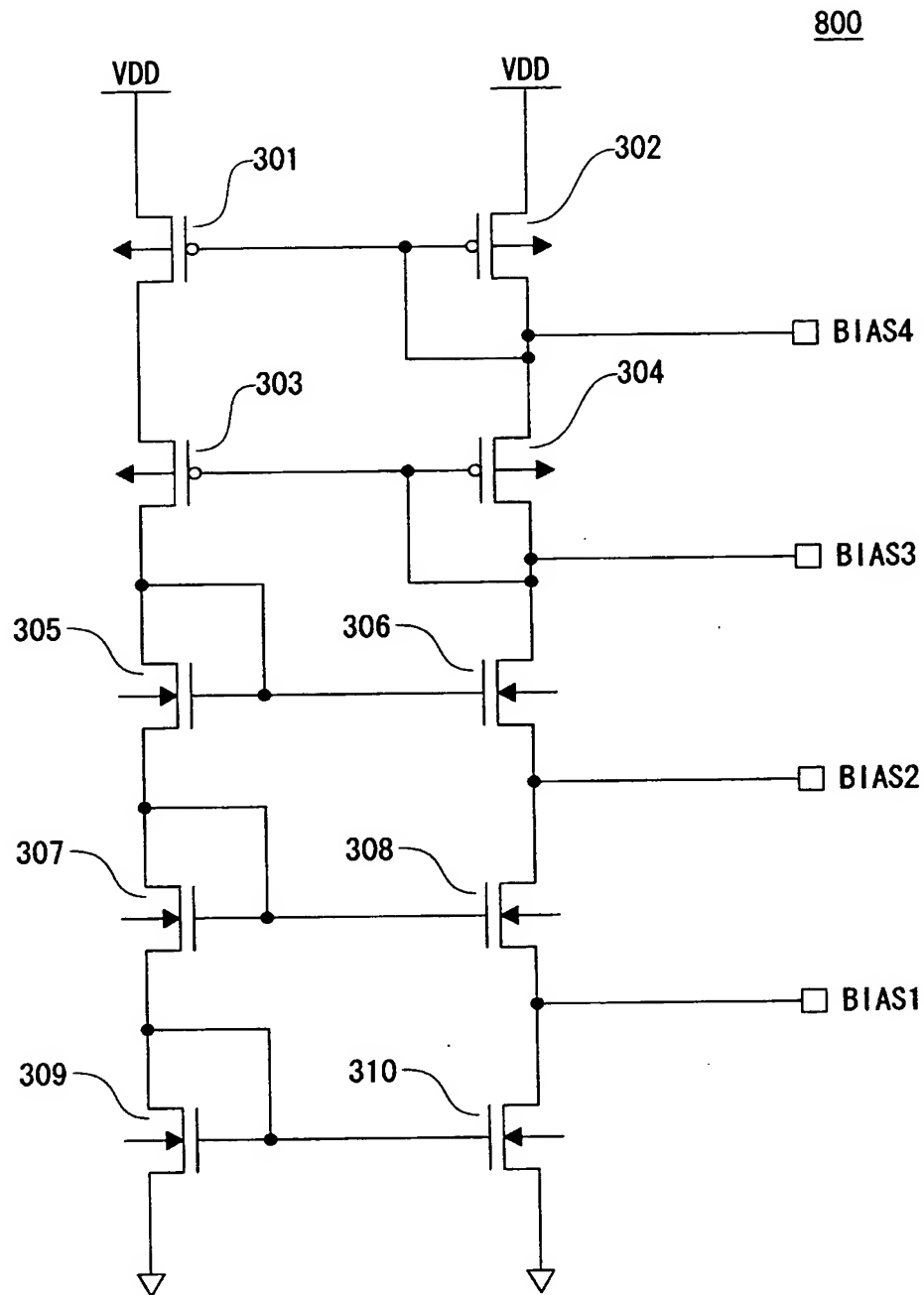
第3の実施の形態の折返しカスコード増幅回路

【図 7】



第 4 の実施の形態のクランプ回路

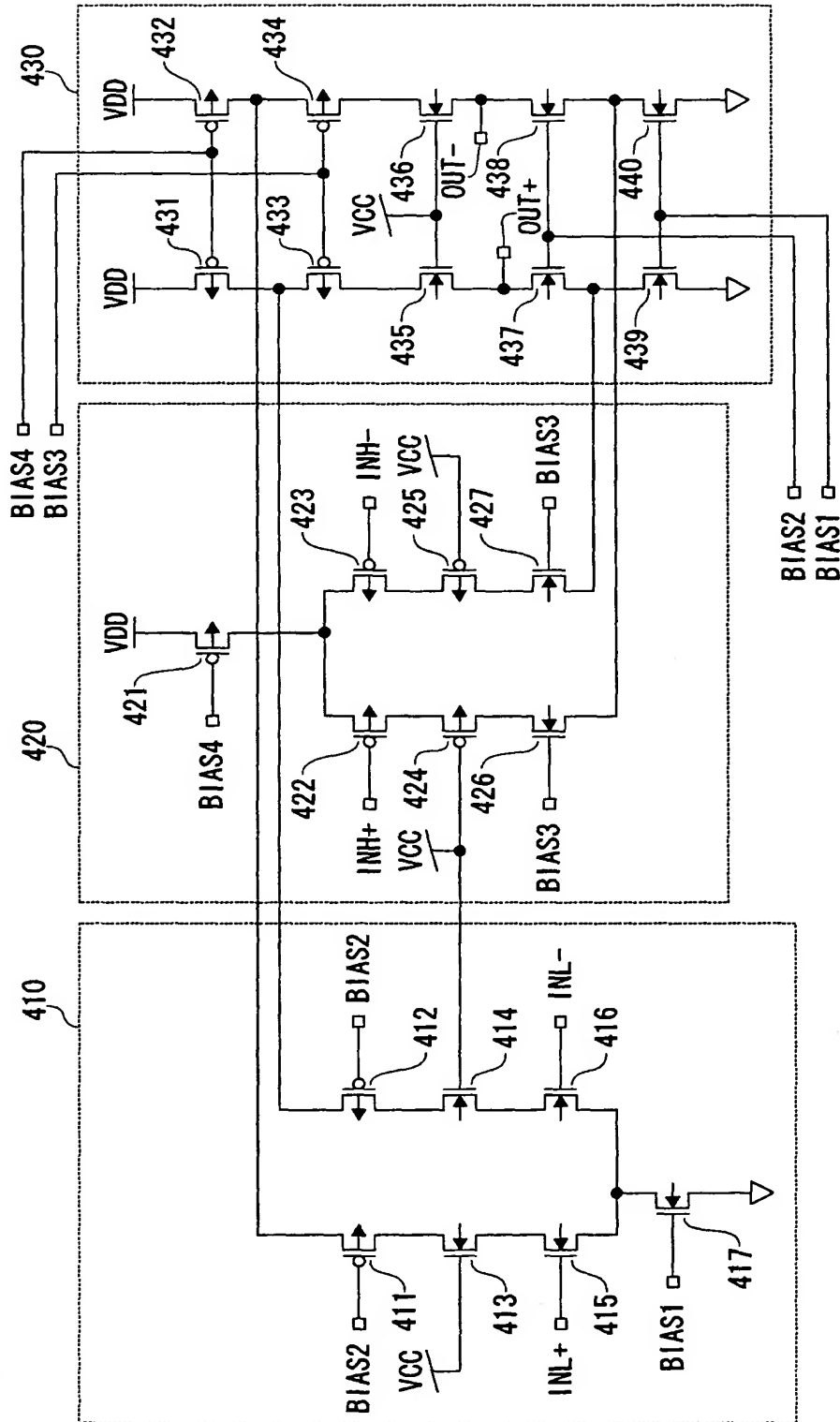
【圖 8】



第4の実施の形態のバイアス回路

【図9】

900



第4の実施の形態の折返しカスコード増幅回路

【書類名】 要約書

【要約】

【課題】 低耐圧トランジスタのみで構成され、高電源電圧を使用しても信頼性が損なわれない差動入力回路を提供する。

【解決手段】 第1, 第2クランプ回路110, 120は、接地電位と電源電位VDDとの間で振動する差動入力信号IN+, IN-を入力し、バイアス電位BIAS2を下限電位とした信号INH+, INH-およびバイアス電位BIAS3を上限電位とした信号INL+, INL-を出力する。折り返しカスコード増幅回路140は、これらの信号を用いて、接地電位と電源電位VCC ($VCC < VDD$)との間で振動する差動出力信号OUT+, OUT-を生成する。バイアス回路130は、折り返しカスコード増幅回路140内のトランジスタのバイアス電位を生成する。折り返しカスコード増幅回路140内のトランジスタのゲート電位は、ゲート・ソース間およびゲート・ドレイン間の電圧がVCCよりも小さくなるように設定される。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 7 6 2 0 5
受付番号	5 0 3 0 0 4 5 2 2 3 2
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 3 月 2 0 日

< 認定情報・付加情報 >

【提出日】	平成15年 3月19日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 2 9 5]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社